

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-202964
 (43)Date of publication of application : 19.07.2002

(51)Int.Cl.

G06F 17/16
 G06F 7/00
 G06F 9/38
 G06F 15/16
 G06T 1/20
 G06T 15/00

(21)Application number : 2001-318590

(71)Applicant : SONY COMPUTER ENTERTAINMENT INC

(22)Date of filing : 16.10.2001

(72)Inventor : UMAGOE HIDENAO

(30)Priority

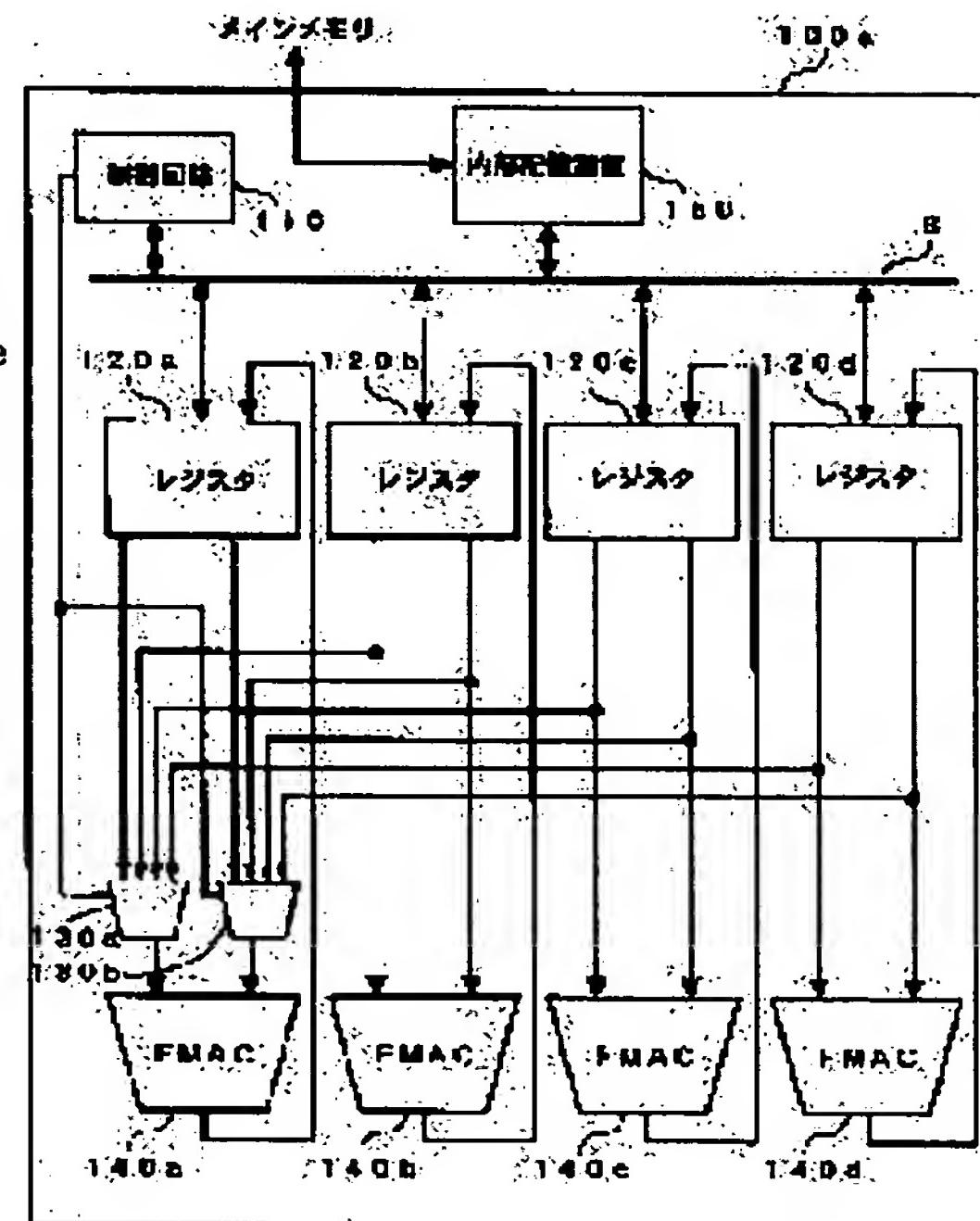
Priority number : 2000335787 Priority date : 02.11.2000 Priority country : JP

(54) PARALLEL ARITHMETIC UNIT, ENTERTAINMENT DEVICE, ARITHMETIC PROCESSING METHOD, COMPUTER PROGRAM, AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a parallel arithmetic unit capable of easily performing an inner product operation of vector while allowing an efficient matrix operation to be performed.

SOLUTION: This parallel arithmetic unit 10 is provided with sets of resistors 120a-120d for storing arithmetic elements to be operated, FMAC 140a-140d for performing a sum-of-product operation on the basis of the arithmetic elements stored in the registers 120a-120d, and selectors 130a and 130b interposed between the resistor 120a and FMAC 140a. The selectors 130a and 130b input the arithmetic element stored in the resistor 120a to the FMAC 140a in the matrix operation, and successively select the resistors 120a-120d one by one and supplies the arithmetic element stored in the selected resistor to the FMAC 140a in the inner product operation of vector.



LEGAL STATUS

[Date of request for examination] 05.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3338043

[Date of registration] 09.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-202964

(P2002-202964A)

(43)公開日 平成14年7月19日 (2002.7.19)

(51)Int.Cl.*

G 06 F 17/16

7/00

9/38

識別記号

3 7 0

6 1 0

G 06 T 1/20

F I

G 06 F 17/16

テマコート*(参考)

M 5 B 0 1 3

3 7 0 A 5 B 0 2 2

6 1 0 A 5 B 0 4 5

G 06 T 1/20

B 5 B 0 5 6

1 0 0 A 5 B 0 5 7

審査請求 有 請求項の数12 OL (全 11 頁) 最終頁に続く

(21)出願番号

特願2001-318590(P2001-318590)

(71)出願人 395015319

株式会社ソニー・コンピュータエンタテイメント

東京都港区赤坂7-1-1

(72)発明者 馬越 英尚

東京都港区赤坂7丁目1番1号 株式会社
ソニー・コンピュータエンタテインメント内

(74)代理人 100099324

弁理士 鈴木 正剛 (外2名)

(22)出願日

平成13年10月16日 (2001.10.16)

(31)優先権主張番号

特願2000-335787(P2000-335787)

(32)優先日

平成12年11月2日 (2000.11.2)

(33)優先権主張国

日本 (JP)

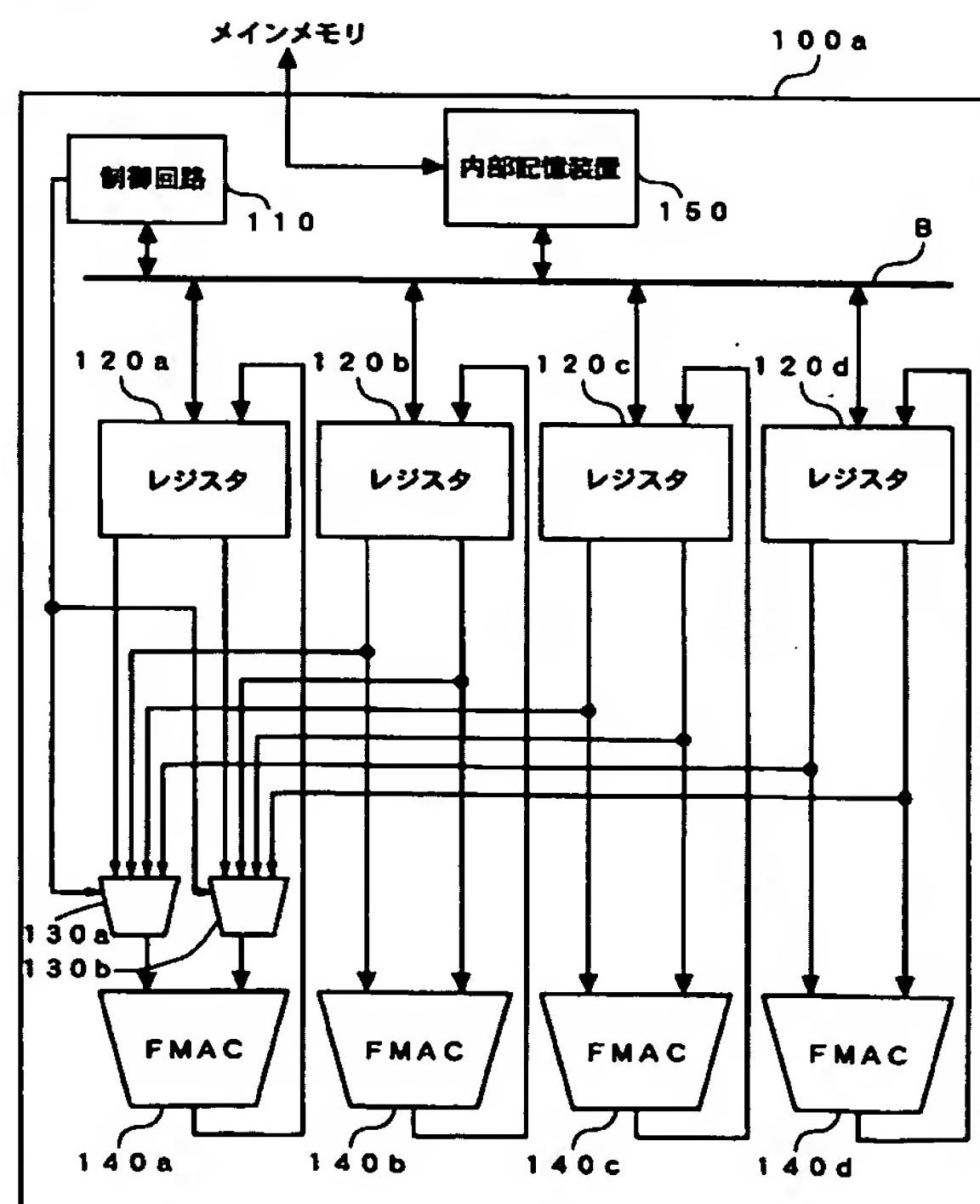
最終頁に続く

(54)【発明の名称】並列演算装置、エンタテインメント装置、演算処理方法、コンピュータプログラム、半導体デバイス

(57)【要約】

【課題】効率的な行列演算を可能としながら、ベクトルの内積演算も容易に行うことのできる並列演算装置を提供する。

【解決手段】演算の対象となる演算要素を記録してなるレジスタ120a～120dとこれらのレジスタ120a～120dに記録されている演算要素に基づいて積和演算を行うFMAC140a～140dとの組を備え、レジスタ120aとFMAC140aとの間にはセレクタ130a、130bが介在する並列演算装置100aである。セレクタ130a、130bは、行列演算時にはレジスタ120aに記録されている演算要素をFMAC140aに入力し、ベクトルの内積演算時には、レジスタ120a～120dを順繰りに一つずつ選択し、選択したレジスタに記録された演算要素をFMAC140aに供給する。



【特許請求の範囲】

【請求項 1】 演算の対象となる演算要素を記録してなる記録手段とこの記録手段に記録されている演算要素に基づいて積和演算を行う演算手段との組を複数組備え、いずれかの組の記録手段と演算手段との間には、すべての組の前記記録手段の中から一つのものを選択し、選択した記録手段に記録されている前記演算要素を当該組の演算手段に入力させる選択手段が介在するように構成されている、
並列演算装置。

【請求項 2】 前記選択手段が介在しない組の記録手段と演算手段との間にはその組の記録手段に記録された前記演算要素を一時的に記録するための一時記録手段が介在しており、

前記選択手段は、前記選択手段が介在しない組の記録手段を選択したときに前記一時記録手段に記録されている演算要素を前記演算手段に入力させるように構成されている、

請求項 1 記載の並列演算装置。

【請求項 3】 すべての組の前記記録手段には、行列演算を行うときにはその対象となる第 1 演算要素が記録され、ベクトルの内積演算を行うときにはその対象となる第 2 演算要素が記録されており、

前記選択手段は、

前記行列演算時には自らの組の記録手段から前記第 1 演算要素を自らの組の演算手段に入力させるように構成され、

前記内積演算時にはすべての組の前記記録手段を順繰りにつづつ選択して、選択した記録手段から前記第 2 演算要素を自らの組の演算手段に入力させるように構成されている、

請求項 1 記載の並列演算装置。

【請求項 4】 各々の前記演算手段が当該組の記録手段に記録されている前記演算要素を用いて当該組に独自に割り当てられた内容の演算を行うものである、

請求項 1 記載の並列演算装置。

【請求項 5】 前記演算が 4 次元座標の成分のいずれかに関わる演算である、

請求項 4 記載の並列演算装置。

【請求項 6】 行列演算とベクトルの内積演算とを選択的に行う装置であって、

前記行列演算を行うときにはその対象となる第 1 演算要素が記録され、前記内積演算を行うときにはその対象となる第 2 演算要素が記録される複数の記録手段と；前記行列演算時には、前記複数の記録手段に 1 対 1 に対応して、各々が、対応する記録手段に記録される前記第 1 演算要素を入力して積和演算を行い、前記内積演算時には、所定の一つが、すべての記録手段に記録される前記第 2 演算要素を入力して積和演算を行う複数の演算手段と；前記行列演算時には、前記所定の演算手段に対応す

る記録手段を選択してこの記録手段に記録される第 1 演算要素を前記所定の演算手段に入力させ、前記内積演算時には、前記複数の記録手段を順繰りにつづつ選択して選択した記録手段に記録される第 2 演算要素を前記所定の演算手段に入力させる選択手段とを備える、
並列演算装置。

【請求項 7】 前記演算要素が浮動小数点数で表されるものであり、

前記演算手段は、浮動小数点数の積和演算を行うように構成されている、

請求項 6 記載の並列演算装置。

【請求項 8】 物体の位置、形状を表す座標についての行列演算を行うとともに、前記物体を画像表現するためには用いるベクトルについての内積演算を行うことにより、エンタテインメント画像についての画像処理を行うエンタテインメント装置であって、

前記行列演算を行うときにはその対象となる第 1 演算要素が記録され、前記内積演算を行うときにはその対象となる第 2 演算要素が記録される複数のレジスタと、

前記行列演算時には、前記複数のレジスタに 1 対 1 に対応して、各々が、対応するレジスタに記録される前記第 1 演算要素を入力して積和演算を行い、前記内積演算時には、所定の一つが、すべてのレジスタに記録される前記第 2 演算要素を入力して積和演算を行う複数の積和演算器と、

前記行列演算時には、前記所定の積和演算器に対応するレジスタを選択してこのレジスタに記録される第 1 演算要素を前記所定の積和演算装置に入力させ、前記内積演算時には、前記複数のレジスタを順繰りにつづつ選択して選択したレジスタに記録される第 2 演算要素を前記所定の積和演算器に入力させるセレクタとを備える、
エンタテインメント装置。

【請求項 9】 物体の位置、形状を表す座標を座標変換する際に、行列と前記座標の座標値との行列演算を行うとともに、前記物体表面の表示態様を決定する際に、前記表面の法線方向を指向する法線ベクトルと光源の位置ベクトルとの内積演算を行うことにより、エンタテインメント画像についての画像処理を行うエンタテインメント装置であって、

前記行列演算を行うときには前記座標値と前記行列のいずれか 1 行分の成分値とが記録され、前記内積演算を行うときには前記法線ベクトル及び前記位置ベクトルのいずれか 1 成分の成分値が記録される複数のレジスタと、前記行列演算を行うときには、前記複数のレジスタに 1 対 1 で対応して、各々が、対応するレジスタに記録された前記座標値と前記行列の前記 1 行分の成分値とを入力して積和演算を行い、前記内積演算を行うときには、所定の一つが、すべてのレジスタに記録された前記法線ベクトルと前記位置ベクトルとの成分値を入力して積和演算を行う積和演算器と、

前記行列演算時には、前記所定の積和演算器に対応するレジスタを選択してこのレジスタに記録される前記座標値と前記行列の前記1行分の成分値とを前記所定の積和演算装置に入力させ、前記内積演算時には、前記複数のレジスタを順繰りに一つずつ選択して、選択したレジスタに記録される前記法線ベクトルと前記位置ベクトルとの成分値を前記所定の積和演算器に入力させるセレクタとを備える。

エンタテインメント装置。

【請求項10】 行列演算とベクトルの内積演算とを選択的に実行可能にするとともに、複数の演算手段を備える装置により実行される方法であって、

前記行列演算時には、その対象となる演算要素をその特徴に基づいて前記複数の演算手段の各々に割り当てて入力し、各演算手段に、割り当てられた演算要素に基づく積和演算を行わせ、

前記内積演算時には、その対象となる演算要素を所定の一つの演算手段に入力して、当該演算手段に演算要素に基づく積和演算を行わせることを特徴とする、
演算処理方法。

【請求項11】 行列演算とベクトルの内積演算とを選択的に実行可能にするとともに、複数の演算手段を備えるコンピュータに、

前記行列演算時には、その対象となる演算要素をその特徴に基づいて前記複数の演算手段の各々に割り当てて入力し、各演算手段に、割り当てられた演算要素に基づく積和演算を行わせる処理、

前記内積演算時には、その対象となる演算要素を所定の一つの演算手段に入力して、当該演算手段に演算要素に基づく積和演算を行わせる処理、
を実行させるためのコンピュータプログラム。

【請求項12】 行列演算とベクトルの内積演算とを選択的に実行可能にするとともに、複数の演算手段を備えるコンピュータコンピュータ搭載の装置に組み込まれることにより、
当該装置に、

前記行列演算時には、その対象となる演算要素をその特徴に基づいて前記複数の演算手段の各々に割り当てて入力し、各演算手段に、割り当てられた演算要素に基づく積和演算を行わせる処理、

前記内積演算時には、その対象となる演算要素を所定の一つの演算手段に入力して、当該演算手段に演算要素に基づく積和演算を行わせる処理、
を実行させるための半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の演算装置を用いて並列に処理を行う技術に関し、例えば、コンピュータグラフィックスで行われるジオメトリ処理等の処理を高速に行うための並列演算処理技術に関する。

【0002】

【従来の技術】 3次元コンピュータグラフィックスで表示しようとする物体には、複数の基本图形（ポリゴン）の集合でモデル化されるものがある。ポリゴンの各頂点は、同次座標を用いて、4次元の座標（x、y、z、w）で表される。ポリゴンの各頂点の座標は、視点座標に応じて座標変換され、距離に応じて透視変換等が施される。つまり、遠くのものが小さく見えるように変換される。この一連の処理は「ジオメトリ処理」と呼ばれる。

【0003】 ジオメトリ処理の中にも、種々の態様がある。例えば、ポリゴンの回転、拡大、縮小、透視投影及び平行移動などに、例えば 4×4 の変換行列を用いた行列演算を行い、また、受光面の明るさ等を決定するために内積演算を行うものがある。このような行列演算や内積演算には、積和演算の繰返しが必要になる。

【0004】 また、3次元コンピュータグラフィックスでは、従来からハイエンドのシステムで用いられていた浮動小数点を用いた処理手法が、ビデオゲーム画像等のエンタテインメント画像を生成するエンタテインメント装置、携帯情報端末等のようなコストの制約が厳しい分野でも用いられるようになった。浮動小数点を用いた処理手法の方が、データのダイナミックレンジが広がるためにプログラミングが容易であり、高度な処理に向いているためである。

【0005】 浮動小数点を用いた処理に用いられる浮動小数点数に対して行列演算を行うために、浮動小数点積和演算器（F MAC : Floating Multiply ACcumulator）を複数内蔵して、効率的に行列演算を行う並列演算装置がある。複数のF MACにより並列に演算を行うことができるために処理速度が速くなる。エンタテインメント装置、パーソナルコンピュータ等の3次元画像処理を行う装置には、このような並列演算装置を用いて前述のジオメトリ処理を行うことにより、精細でリアルな3次元画像を高速に得るものがある。

【0006】 並列演算装置が、例えば、F MACが4並列に設けられたものの場合、式1に示すような 4×4 の変換行列を用いた行列演算を容易に行うことができる。しかし、式2に示すようなベクトルA（Ax、Ay、Az、Aw）とベクトルB（Bx、By、Bz、Bw）との内積演算を行うことは困難である。これは、演算処理の対象となるX、Y、Z、Wの各座標を4個のF MACの各々に対応付けて、独立に演算しているためである。

【0007】 以上のことより具体的に説明する。式1の行列演算を行う場合、4個のF MACの各々には、演算の対象となる演算要素として、変換行列の1行分の成分値及び変換の対象となる座標の座標値が入力される。入力された変換行列の成分値及び座標の座標値を積和演算して行列演算を行う。例えば、変換行列の1行目の成分値（M11、M12、M13、M14）と座標の座標値

(V_x, V_y, V_z, V_w) とを積和演算して「 $M_{11} \cdot V_x + M_{12} \cdot V_y + M_{13} \cdot V_z + M_{14} \cdot V_w$ 」を算出する。4 個の FMAC のそれぞれにおいて同様の積和演算を行うので、効率よく行列演算が終了する。なお、本明細書において「・」は、乗算を表す。

【0008】数式2の内積演算を行う場合、4個のFMACはそれぞれX、Y、Z、Wのいずれかの成分の成分値に対応付けされている。そのために、FMACの各々には、Ax及びBx、Ay及びBy、Az及びBz、Aw及びBwが入力される。それぞれの出力としてAx・Bx、Ay

$$\begin{bmatrix} M_{11} & M_{12} & M_{13} & M_{14} \\ M_{21} & M_{22} & M_{23} & M_{24} \\ M_{31} & M_{32} & M_{33} & M_{34} \\ M_{41} & M_{42} & M_{43} & M_{44} \end{bmatrix} \begin{bmatrix} V_x \\ V_y \\ V_z \\ V_w \end{bmatrix} = \begin{bmatrix} M_{11} \cdot V_x + M_{12} \cdot V_y + M_{13} \cdot V_z + M_{14} \cdot V_w \\ M_{21} \cdot V_x + M_{22} \cdot V_y + M_{23} \cdot V_z + M_{24} \cdot V_w \\ M_{31} \cdot V_x + M_{32} \cdot V_y + M_{33} \cdot V_z + M_{34} \cdot V_w \\ M_{41} \cdot V_x + M_{42} \cdot V_y + M_{43} \cdot V_z + M_{44} \cdot V_w \end{bmatrix}$$

【数2】 $(Ax, Ay, Az, Aw) \cdot (Bx, By, Bz, Bw) = Ax \cdot Bx + Ay \cdot By + Az \cdot Bz + Aw \cdot Bw$

【0010】

【発明が解決しようとする課題】本発明は、従来と同様に、効率的な行列演算を可能としながら、ベクトルの内積演算をも容易に行うことのできる並列演算装置を提供することを主たる課題とする。

【0011】

【課題を解決するための手段】以上のような課題を解決する本発明の並列演算装置は、演算の対象となる演算要素を記録してなる記録手段とこの記録手段に記録されている演算要素に基づいて積和演算を行う演算手段との組を複数組備え、いずれかの組の記録手段と演算手段との間には、すべての組の前記記録手段の中から一つのものを選択し、選択した記録手段に記録されている前記演算要素を当該組の演算手段に入力させる選択手段が介在するように構成されている。

【0012】このような本発明の並列演算装置により、選択手段が、自らが介在する組の記録手段を選択する場合は、各組で各々独立した演算要素による演算を行うことができる。つまり、従来と同様の行列演算を行うことができる。一方、選択手段が、すべての記録手段から一つのものを順繰りに選択する場合は、各組の記録手段に記録された演算要素を用いた演算が可能となる。つまり、加算器などの他の回路を用いることなく容易に内積演算を行うことができるようになる。

【0013】このような並列演算装置では、前記選択手段が介在しない組の記録手段と演算手段との間にはその組の記録手段に記録された前記演算要素を一時的に記録するための一時記録手段が介在するようにしてもよい。この場合、前記選択手段は、前記選択手段が介在しない組の記録手段を選択したときに前記一時記録手段に記録されている演算要素を前記演算手段に入力させるように構成される。一時記録手段を介在させることにより、記録手段からの演算要素の取り込み時に、記録手段の出力

・By、Az・Bz、Aw・Bwが算出される。そのため、数式2を実行するためには4個のFMACの出力を加算する加算器を別に設ける必要があり、回路規模が増大してしまう。

【0009】このように、従来の並列演算装置には、行列演算は効率よく処理可能であるが、ベクトルの内積演算は並列に備えられたFMACだけでは行えず、さらに加算器を必要とするものがある。

【数1】

$$\begin{bmatrix} M_{11} & M_{12} & M_{13} & M_{14} \\ M_{21} & M_{22} & M_{23} & M_{24} \\ M_{31} & M_{32} & M_{33} & M_{34} \\ M_{41} & M_{42} & M_{43} & M_{44} \end{bmatrix} \begin{bmatrix} V_x \\ V_y \\ V_z \\ V_w \end{bmatrix} = \begin{bmatrix} M_{11} \cdot V_x + M_{12} \cdot V_y + M_{13} \cdot V_z + M_{14} \cdot V_w \\ M_{21} \cdot V_x + M_{22} \cdot V_y + M_{23} \cdot V_z + M_{24} \cdot V_w \\ M_{31} \cdot V_x + M_{32} \cdot V_y + M_{33} \cdot V_z + M_{34} \cdot V_w \\ M_{41} \cdot V_x + M_{42} \cdot V_y + M_{43} \cdot V_z + M_{44} \cdot V_w \end{bmatrix}$$

ポートを占有する必要がなくなる。そのために、一時記録手段が介在する組の記録手段と演算手段とにより、他の処理が可能となる。

【0014】このような並列演算装置において、例えば、すべての組の前記記録手段に、行列演算を行うときにはその対象となる第1演算要素が記録され、ベクトルの内積演算を行うときにはその対象となる第2演算要素が記録されると、前記選択手段が、前記行列演算時には自らの組の記録手段から前記第1演算要素を自らの組の演算手段に入力させるようにし、前記内積演算時にはすべての組の前記記録手段を順繰りに一つずつ選択して、選択した記録手段から前記第2演算要素を自らの組の演算手段に入力させるように構成される。各々の前記演算手段は、例えば、当該組の記録手段に記録されている前記演算要素を用いて当該組に独自に割り当てられた内容の演算を行うものであり、3次元コンピュータグラフィックスにこのような並列演算装置を用いる場合には、演算手段で行われる前記演算が4次元座標の成分のいずれかに関わる演算となる。

【0015】本発明の他の並列演算装置は、行列演算とベクトルの内積演算とを選択的に行う装置であって、前記行列演算を行うときにはその対象となる第1演算要素が記録され、前記内積演算を行うときにはその対象となる第2演算要素が記録される複数の記録手段と、前記行列演算時には、前記複数の記録手段に1対1に対応して、各々が、対応する記録手段に記録される前記第1演算要素を入力して積和演算を行い、前記内積演算時には、所定の一つが、すべての記録手段に記録される前記第2演算要素を入力して積和演算を行う複数の演算手段と、前記行列演算時には、前記所定の演算手段に対応する記録手段を選択してこの記録手段に記録される第1演算要素を前記所定の演算手段に入力させ、前記内積演算時には、前記複数の記録手段を順繰りに一つずつ選択して選択した記録手段に記録される第2演算要素を前記所定の演算手段に入力させる選択手段とを備える。このよ

うな並列演算装置において、例えば、前記演算要素が浮動小数点数で表される場合には、前記演算手段は、浮動小数点数の積和演算を行うように構成される。

【0016】本発明のエンタテインメント装置は、物体の位置、形状を表す座標についての行列演算を行うとともに、前記物体を画像表現するために用いるベクトルについての内積演算を行うことにより、エンタテインメント画像についての画像処理を行うエンタテインメント装置であって、前記行列演算を行うときにはその対象となる第1演算要素が記録され、前記内積演算を行うときにはその対象となる第2演算要素が記録される複数のレジスタと、前記行列演算時には、前記複数のレジスタに1対1に対応して、各々が、対応するレジスタに記録される前記第1演算要素を入力して積和演算を行い、前記内積演算時には、所定の一つが、すべてのレジスタに記録される前記第2演算要素を入力して積和演算を行う複数の積和演算器と、前記行列演算時には、前記所定の積和演算器に対応するレジスタを選択してこのレジスタに記録される第1演算要素を前記所定の積和演算装置に入力させ、前記内積演算時には、前記複数のレジスタを順繰りに一つずつ選択して選択したレジスタに記録される第2演算要素を前記所定の積和演算器に入力させるセレクタとを備える、エンタテインメント装置である。

【0017】本発明の他のエンタテインメント装置は、物体の位置、形状を表す座標を座標変換する際に、行列と前記座標の座標値との行列演算を行うとともに、前記物体表面の表示態様を決定する際に、前記表面の法線方向を指向する法線ベクトルと光源の位置ベクトルとの内積演算を行うことにより、エンタテインメント画像についての画像処理を行うエンタテインメント装置であつて、前記行列演算を行うときには前記座標値と前記行列のいずれか1行分の成分値とが記録され、前記内積演算を行うときには前記法線ベクトル及び前記位置ベクトルのいずれか1成分の成分値が記録される複数のレジスタと、前記行列演算を行うときには、前記複数のレジスタに1対1で対応して、各々が、対応するレジスタに記録された前記座標値と前記行列の前記1行分の成分値とを入力して積和演算を行い、前記内積演算を行うときには、所定の一つが、すべてのレジスタに記録された前記法線ベクトルと前記位置ベクトルとの成分値を入力して積和演算を行う積和演算器と、前記行列演算時には、前記所定の積和演算器に対応するレジスタを選択してこのレジスタに記録される前記座標値と前記行列の前記1行分の成分値とを前記所定の積和演算装置に入力させ、前記内積演算時には、前記複数のレジスタを順繰りに一つずつ選択して、選択したレジスタに記録される前記法線ベクトルと前記位置ベクトルとの成分値を前記所定の積和演算器に入力させるセレクタとを備える、エンタテインメント装置である。

【0018】本発明の演算処理方法は、行列演算とベク

トルの内積演算とを選択的に実行可能にするとともに、複数の演算手段を備える装置により実行される方法であつて、前記行列演算時には、その対象となる演算要素をその特徴に基づいて前記複数の演算手段の各々に割り当てて入力し、各演算手段に、割り当てられた演算要素に基づく積和演算を行わせ、前記内積演算時には、その対象となる演算要素を所定の一つの演算手段に入力して、当該演算手段に演算要素に基づく積和演算を行わせるこことを特徴とする、演算処理方法である。

【0019】本発明のコンピュータプログラムは、行列演算とベクトルの内積演算とを選択的に実行可能にするとともに、複数の演算手段を備えるコンピュータに、前記行列演算時には、その対象となる演算要素をその特徴に基づいて前記複数の演算手段の各々に割り当てて入力し、各演算手段に、割り当てられた演算要素に基づく積和演算を行わせる処理、前記内積演算時には、その対象となる演算要素を所定の一つの演算手段に入力して、当該演算手段に演算要素に基づく積和演算を行わせる処理、を実行させるためのコンピュータプログラムである。

【0020】本発明の半導体デバイスは、行列演算とベクトルの内積演算とを選択的に実行可能にするとともに、複数の演算手段を備えるコンピュータコンピュータ搭載の装置に組み込まれることにより、当該装置に、前記行列演算時には、その対象となる演算要素をその特徴に基づいて前記複数の演算手段の各々に割り当てて入力し、各演算手段に、割り当てられた演算要素に基づく積和演算を行わせる処理、前記内積演算時には、その対象となる演算要素を所定の一つの演算手段に入力して、当該演算手段に演算要素に基づく積和演算を行わせる処理、を実行させるための半導体デバイスである。

【0021】

【発明の実施の形態】以下に、本発明の実施形態を図面を参照しつつ詳細に説明する。図1は、本発明の並列演算装置を含んだエンタテインメント装置の構成例を示す図である。

【0022】このエンタテインメント装置1は、それぞれ固有の機能を有する複数の半導体デバイスが接続されたメインバスB1とサブバスB2の2本のバスを有している。これらのバスB1、B2がバスインターフェースINTを介して互いに接続され又は切り離されるようになっている。

【0023】メインバスB1には、主たる半導体デバイスであるメインCPU10と、RAMで構成されるメインメモリ11と、メインDMAC(Direct Memory Access Controller)12と、MPEG(Moving Picture Experts Group)デコーダ(MDEC)13と、描画用メモリとなるフレームメモリ15を内蔵する描画処理装置(Graphic Processing Unit、以下、「GPU」)14が接続される。GPU14には、フレームメモリ15に

描画されたデータを図外のディスプレイ装置で表示できるようにするためのビデオ出力信号を生成するCRT C (CRT Controller) 16が接続される。

【0024】メインCPU10は、エンタテインメント装置1の起動時にサブバスB2上のROM23から、バスインターフェースINTを介して起動プログラムを読み込み、その起動プログラムを実行してオペレーティングシステムを動作させる。また、メディアドライブ27を制御するとともに、このメディアドライブ27に装着されたメディア28からアプリケーションプログラムやデータを読み出し、これをメインメモリ11に記憶させる。さらに、メディア28から読み出した各種データ、例えば複数の基本図形(ポリゴン)で構成された3次元オブジェクトデータ(ポリゴンの頂点(代表点)の座標値など)に対して、前述のようなジオメトリ処理を行う。そして、ジオメトリ処理によりポリゴン定義情報(使用するポリゴンの形状及びその描画位置、ポリゴンを構成する素材の種類、色調、質感等の指定)をその内容とするディスプレイリストを生成する。並列演算装置100は、このメインCPU10に内包されており、ジオメトリ処理等の際に用いられる。並列演算装置100の詳細については、後述する。

【0025】GPU14は、描画コンテクスト(ポリゴン素材を含む描画用のデータ)を保持しており、メインCPU10から通知されるディスプレイリストに従って描画コンテクストを読み出してレンダリング処理(描画処理)を行い、フレームメモリ15にポリゴンを描画する機能を有する半導体デバイスである。フレームメモリ15は、これをテクスチャメモリとしても使用できる。そのため、フレームメモリ15上のピクセルイメージをテクスチャとして描画するポリゴンに貼り付けることができる。

【0026】メインDMAC12は、メインバスB1に接続されている各回路を対象としてDMA転送制御を行うとともに、バスインターフェースINTの状態に応じて、サブバスB2に接続されている各回路を対象としてDMA転送制御を行う半導体デバイスである。MDEC13は、メインCPU10と並列に動作し、MPEG(Moving Picture Experts Group)方式あるいはJPEG(Joint Photographic Experts Group)方式等で圧縮されたデータを伸張する機能を有する半導体デバイスである。

【0027】サブバスB2には、マイクロプロセッサなどで構成されるサブCPU20、RAMで構成されるサブメモリ21、サブDMAC22、オペレーティングシステムなどの制御プログラムが記憶されているROM23、サウンドメモリ25に蓄積された音データを読み出してオーディオ出力として出力する音声処理用半導体デバイス(SPU(Sound Processing Unit))24、図示しないネットワークを介して外部装置と情報の送受信

を行う通信制御部(ATM)26、CD-ROMやDVD-ROMなどのメディア28を装着するためのメディアドライブ27及び入力部31が接続されている。

【0028】サブCPU20は、ROM23に記憶されている制御プログラムに従って各種動作を行う。サブDMAC22は、バスインターフェースINTがメインバスB1とサブバスB2を切り離している状態においてのみ、サブバスB2に接続されている各回路を対象としてDMA転送などの制御を行う半導体デバイスである。入力部31は、操作装置33からの入力信号が入力される接続端子32を備える。

【0029】このような構成のエンタテインメント装置1は、メインCPU10に内包する以下に説明するような並列演算装置100により、ジオメトリ処理の際に行われる行列演算及び内積演算を高速に実行することが可能である。並列演算装置100は、例えば、ポリゴンの頂点の座標を座標変換する際に用いられる、変換行列と頂点の座標値との行列演算と、物体の表面の明るさ等の表示状態を決定する際に用いられる、表面の法線方向を指向する法線ベクトルと光源の位置ベクトルとの内積演算とを、高速に実行する。

【0030】<実施例1>図2は、メインCPU10に内包された並列演算装置100の一例を示す図である。この並列演算装置100aは、メインバスB1を介してメインメモリ11からポリゴンの頂点の座標値、行列演算に用いる変換行列等のジオメトリ処理に必要なデータ(演算要素)を取得して演算する。

【0031】並列演算装置100aは、制御回路110、レジスタ120a～120d、セレクタ130a、130b、演算装置としてのFMAC140a～140d、内部記憶装置150を含んで構成される。レジスタ120a～120dと内部記憶装置150とは、内部バスBで接続される。レジスタ120a～120dとFMAC140a～140dとは組になっており、一つのレジスタには一つのFMACが対応するようになっている。本実施形態では、4×4の変換行列による行列演算及び4次元ベクトルの内積演算を可能とするために、レジスタとFMACとの組を4組用いるが、この組数は処理内容に応じて適宜決めればよい。レジスタ120aとFMAC140aとの間には、セレクタ130a、130bが設けられる。なお、本実施形態では、行列演算、内積演算に用いる演算要素を浮動小数点数により表すが、これは、固定小数点数でも構わないことは言うまでもない。演算要素を固定小数点数で表す場合は、FMAC140a～140dに替えて固定小数点用の積和演算器を用いることとなる。

【0032】制御回路110は、並列演算装置100aの全体の動作を制御する。例えば、内部記憶装置150、レジスタ120a～120dへの演算要素の記録、セレクタ130a、130bの動作制御を行う。

【0033】各レジスタ120a～120dは、制御回路110の制御により、行列演算又は内積演算等の演算に用いる変換行列の成分値、変換の対象となる座標の座標値、ベクトルの成分値等の演算要素のうち、自らに割り当てられているものを、内部記憶装置150から取り込んで記録してなる。4次元ベクトルの内積演算を行うときには、2つの4次元ベクトルの成分値のうち自らに割り当てられた成分値を演算要素として取り込んで記録する。例えば、2つの4次元ベクトル(Ax、Ay、Az、Aw)及び(Bx、By、Bz、Bw)のうち、レジスタ120aは成分値Ax及びBxを、レジスタ120bは成分値Ay及びByを、レジスタ120cは成分値Az及びBzを、レジスタ120dは成分値Aw及びBwをそれぞれ記録する。4×4の変換行列による行列演算を行うときには、変換の対象となる4次元座標の座標値と、変換行列のうち自らに割り当てられた行の成分値を演算要素として取り込んで記録する。例えば、各レジスタ120a～120dには、4次元座標の座標値の他に、レジスタ120aに変換行列の1行目の成分値、レジスタ120bに変換行列の2行目の成分値、レジスタ120cに変換行列の3行目の成分値、レジスタ120dに変換行列の4行目の成分値、が演算要素としてそれぞれ記録される。各レジスタ120a～120dは、変換行列の各行の、1列目の成分値と変換の対象となる4次元座標の1成分目の成分値、2列目の成分値と2成分目の成分値、3列目の成分値と3成分目の成分値、4列目の成分値と4成分目の成分値、を組として記録し、読み出されるときには一組ずつ読み出されるようとする。また、各レジスタ120a～120dには、各々組となるFMAC140a～140dの演算結果が記録される。

【0034】セレクタ130a、130bは、レジスタ120a～120dから一つを選択し、選択したレジスタに記録される演算要素を取り込んでFMAC140aへ供給する。内積演算を行うときには、レジスタ120a～120dを順繰りに一つずつ選択し、選択したレジスタに記録される演算要素を取り込んでFMAC140aへ供給する。行列演算を行うときには、常にレジスタ120aを選択しており、レジスタ120aに記録される演算要素を取り込んでFMAC140aへ供給する。セレクタ130a、130bは、制御回路110により、そのときに行う演算の内容、演算の進行状況等に基づいて指示されるレジスタを選択する。

【0035】各FMAC140a～140dは、レジスタ120a～120dに記録される演算要素を2つ取り込んで乗算及び加算するものである。図3は、FMAC140aの内部構成図である。なお、他のFMAC140b～140dも同様の構成を持つので、ここではFMAC140aの構成のみを説明して、他のFMAC140b～140dについての説明は省略する。FMAC140aは、取り込んだ演算要素を乗算及び加算するため

に、浮動小数点乗算器(FMUL:Floating MULtipl y)141と、浮動小数点加算器(FADD:Floating ADDer)142とを備える。取り込まれた2つの演算要素は、まず、FMUL141で乗算される。乗算結果はFADD142に送られる。FADD142では、FMUL141から送られた乗算結果を順次加算する。例えば、演算要素としてa0～an及びb0～bnを、それぞれ順に一つずつ取り込む場合、FMAC140aによって、以下のような演算結果が得られる。 $a_0 \cdot b_0 + a_1 \cdot b_1 + a_2 \cdot b_2 + \dots + a_{(n-1)} \cdot b_{(n-1)} + a_n \cdot b_n$ 各FMAC140a～140dは、演算結果を、各々組となるレジスタへ出力する。

【0036】セレクタ130a、130bにより、FMAC140a～140dは、内積演算時、行列演算時で以下の動作となる。内積演算を行うときには、FMAC140aが、レジスタ120a～120dからセレクタ130a、130bを通して供給される2つのベクトルの成分毎の成分値を乗算し、乗算した結果を順次加算する。また、このような乗加算した回数をカウントしておき、内積演算の進行状況がわかるようにして、内積演算が終了するまで、次の命令の開始を停止するようにもよい。行列演算を行うときには、FMAC140a～140dが、対応するレジスタ120a～120dから取り込む変換行列の成分値及び4次元座標の座標値の組を乗算し、乗算した結果を順次加算する。

【0037】内部記憶装置150は、制御回路110の制御により、メインメモリ11からポリゴンの頂点の座標値、行列演算に用いる変換行列の成分値、ベクトルの成分値等のジオメトリ処理に必要なデータを取り込んで記録する。また、演算結果をレジスタ120a～120dから取り込んで記録する。演算結果は、内部記憶装置150を介してメインメモリ11へ送られることになる。内部記憶装置150とメインメモリ11との間では、ダイレクトメモリアクセス転送することにより、高速にデータの送受が可能になり、大量のデータ処理を必要とする画像処理等の処理に都合がよい。

【0038】以上のような並列演算装置100aにより、数式2の内積演算、つまりベクトルA(Ax、Ay、Az、Aw)とベクトルB(Bx、By、Bz、Bw)との内積演算を行うときの処理手順について説明する。図4は、このような処理の手順を示すフローチャートである。

【0039】並列演算装置100aは、メインメモリ11に記憶されたベクトルA(Ax、Ay、Az、Aw)及びベクトルB(Bx、By、Bz、Bw)の成分値をダイレクトメモリアクセス転送により内部記憶装置150に取り込んで記録する(ステップS101)。各レジスタ120a～120dは、内部記憶装置150に記録されたベクトルA(Ax、Ay、Az、Aw)及びベクトルB(Bx、By、Bz、Bw)の各成分値のうち自らに割り当てら

れた成分値を取り込む。つまり、レジスタ120aはAx及びBx、レジスタ120bはAy及びBy、レジスタ120cはAz及びBz、レジスタ120dはAw及びBwを取り込む（ステップS102）。

【0040】セレクタ130a、130bは、各レジスタ120a～120dのうちの一つを選択して、選択したレジスタに記録されるベクトルA及びベクトルBの成分値を取り込み、FMAC140aに供給する。選択するレジスタ120a～120dは、内積演算の進行状況により制御回路110が決める。セレクタ130a、130bは、制御回路110の制御により、レジスタ120a～120dのうち一つを選択する。ここでは、まず、レジスタ120aを選択してAx及びBxを取り込み、FMAC140aへ供給する（ステップS103）。FMAC140aは、FMUL141及びFAD D142によりAx及びBxの積和演算を行う（ステップS104）。なお、FMAC140aは、最初の積和演算を行う前に内部状態がクリアされている。積和演算後にFMAC140aは、内積演算が終了したか否かを判断する（ステップS105）。内積演算が終了したか否かは、例えば、内積演算の対象となるベクトルの成分値の数を知っておくことにより判断できる。積和演算の回数をカウントしておき、カウント数が入力されるベクトルの成分値の数と等しくなったときに内積演算を終了したと判断する。このようにすると、カウント数により、次にどのレジスタから成分値を取り込むかがわかる。内積演算が終了したか否かの判断結果は、制御回路110へ送られる。

【0041】この場合は、まだ内積演算が終了していない（ステップS105：N）、制御回路110は、セレクタ130a、130bにレジスタ120bを選択させる。セレクタ130a、130bは、制御回路110の制御によりレジスタ120bを選択してAy及びByを取り込み、FMAC140aにこれらを供給する。FMAC140aは、Ay及びByを取り込むと、FMUL141及びFADD142により積和演算を行いAx・Bx+Ay・Byを算出する。以下同様に、ステップS103乃至ステップS105を、内積演算が終了するまで繰り返して、Ax・Bx+Ay・By+Az・Bz+Aw・Bwを算出する。

【0042】FMAC140aは、内積演算が終了したと判断すると（ステップS105：Y）、算出した結果をレジスタ120aに出力する（ステップS106）。出力後に、FMAC140aは内部状態をクリアする（ステップS107）。出力された演算結果は、レジスタ120aから内部記憶装置150に入力され、メインメモリ11へ送られる。このようにして、内積演算が終了する。

【0043】セレクタ130a、130bを設けることにより、異なる成分の成分値間の演算が可能となって内

積演算が容易に行えるようになる。また、セレクタ130a、130bは、レジスタ120aとFMAC140aとの間に設けたが、これに限らず、レジスタ120bとFMAC140b、レジスタ120cとFMAC140c、レジスタ120dとFMAC140dのいずれの間に設けてもよい。

【0044】なお、行列演算を行うときには、セレクタ130a、130bは、レジスタ120aを常に選択してレジスタ120aに記録される演算要素のみをFMAC140aに供給し、他のレジスタ120b～120dに記録される演算要素をFMAC140aに供給することはない。レジスタ120b～120dに記録される演算要素は、FMAC140b～140dの各々の組となるFMAC140b～140dに取り込まれて、演算処理されることとなる。

【0045】例えば式1の行列演算を行うときには、レジスタ120aには変換行列の1行目の成分値（M11、M12、M13、M14）及び4次元座標の座標値（Vx、Vy、Vz、Vw）が記録される。レジスタ120bには変換行列の2行目の成分値（M21、M22、M23、M24）及び4次元座標の座標値（Vx、Vy、Vz、Vw）が記録される。レジスタ120cには変換行列の3行目の成分値（M31、M32、M33、M34）及び4次元座標の座標値（Vx、Vy、Vz、Vw）が記録される。レジスタ120dには変換行列の4行目の成分値（M41、M42、M43、M44）及び4次元座標の座標値（Vx、Vy、Vz、Vw）が記録される。

【0046】FMAC140a～140dは、各々組となるレジスタ120a～120dに記録される成分値及び座標値を順次取り込んで演算する。FMAC140aを例に説明すると、セレクタ130a、130bを介してレジスタ120aからM11及びVxを取り込み、FMUL141によりM11・Vxを算出する。これをFAD D142に送る。次にM12及びVyを取り込んで、M12・Vyを算出し、これをFADD142に送ってM11・Vx+M12・Vyを算出する。以下、M13及びVz、M14及びVwにも同様の演算を行ってM11・Vx+M12・Vy+M13・Vz+M14・Vwを算出する。他のFMAC140b～140dにおいても同様の演算を行う。このようにして、各FMAC140a～140dで並列に演算を行うので、4×4の行列演算が従来と同様の処理速度で行われる。

【0047】以上説明したように、並列演算装置100aは、行列演算とベクトルの内積演算とを選択的に行う装置である。行列演算時には変換行列の成分値を演算要素として記録し、内積演算時にはベクトルの成分値を演算要素として記録するレジスタ120a～120dと、レジスタ120a～120dに記録される演算要素を取り込んで積和演算するFMAC140a～140dと、レジスタ120a～120dの中から一つのレジスタを

選択し、選択したレジスタに記録される演算要素をFMAC140aに供給するセレクタ130a、130bとを、少なくとも備える。レジスタ120b～120dとFMAC140b～140dとはそれぞれ1対1に対応しており、セレクタ130a、130bは、行列演算時にはレジスタ120aに記録される変換行列の成分値をFMAC140aに供給し、内積演算時にはレジスタ120a～120dを順繰りに一つずつ選択して選択したレジスタに記録されるベクトルの成分値をFMAC140aに供給する。このように、セレクタ130a、130bを設けることにより、行列演算と内積演算とが選択的に可能となる。

【0048】<実施例2>図5は、別の実施形態による並列演算装置100bの構成図である。図2に示す並列演算装置100aと比較して、レジスタ120b～120dの各々の出力端にテンポラリレジスタ160b～160dを備えた点が異なるのみである。

【0049】この並列演算装置100bは、演算要素を記録してなるレジスタ120a～120dとこのレジスタ120a～120dに記録されている演算要素に基づいて積和演算を行うFMAC140a～140dとを備え、レジスタ120aとFMAC140aとの間にはセレクタ130a、130bが介在し、レジスタ120b～120dとFMAC140b～140dとの間にはテンポラリレジスタ160b～160dが介在するよう構成される。セレクタ130a、130bは、レジスタ120aとテンポラリレジスタ160b～160dとから一つのものを選択し、選択したレジスタ120a又はテンポラリレジスタ160b～160dに記録されている演算要素をFMAC140aに入力する。これら各構成要素の動作は、制御回路110により制御される。

【0050】テンポラリレジスタ160b～160dは、それぞれレジスタ120b～120dに対応している。テンポラリレジスタ160b～160dには、それぞれ対応するレジスタ120b～120dに記録された演算要素がFMAC140b～140d又はセレクタ130a、130bに送られる際に、一時的に記録される。テンポラリレジスタ160b～160dがレジスタ120b～120dからの演算要素を一時的に記録するために、内積演算のときのように演算要素が各レジスタ120b～120dから同じタイミングでFMAC140aに取り込まれないような場合でも、レジスタ120b～120dは、そのリードポートが内積演算用の演算

要素により占有されない。そのため、FMAC140aが行列演算を行っている間に、他のFMAC140b～140dは、次の演算要素をレジスタ120b～120dから取り込んで、積和演算が可能となる。

【0051】以上の実施形態において、並列演算装置100を用いたエンタテインメント装置を例に説明したが、これに限らず、本発明の並列演算装置は、並列演算処理を行う情報処理装置であって、行列演算とベクトルの内積演算とを行うものであればどのような処理を行う情報処理装置でも用いることができる。また、レジスタと積和演算器(FMAC)の組も4組に限らず、当該装置で行う処理に応じて組数を決定すればよい。また、並列演算装置100は、本発明のコンピュータプログラムを、コンピュータに実行させることによっても、実現が可能になる。この実施形態では、FMACを複数備えるコンピュータに、このコンピュータがアクセス可能な記録媒体、例えばディスク装置又は半導体メモリに記録されているコンピュータプログラムと上記のコンピュータが搭載している制御プログラム(OS等)との協働によってセレクタ130a、130bに相当する機能プログラムが形成される。

【0052】

【発明の効果】以上のような本発明により、行列演算を従来と同様に効率的に処理可能としながら、ベクトルの内積演算が容易に処理可能となる。

【図面の簡単な説明】

【図1】エンタテインメント装置の構成図。

【図2】並列演算装置の構成図。

【図3】FMACの内部構成図。

【図4】内積演算処理の手順を示すフローチャート。

【図5】並列演算装置の構成図。

【符号の説明】

100、100a、100b 並列演算装置

110 制御回路

120a～120d レジスタ

130a、130b セレクタ

140a～140d FMAC

141 FMUL

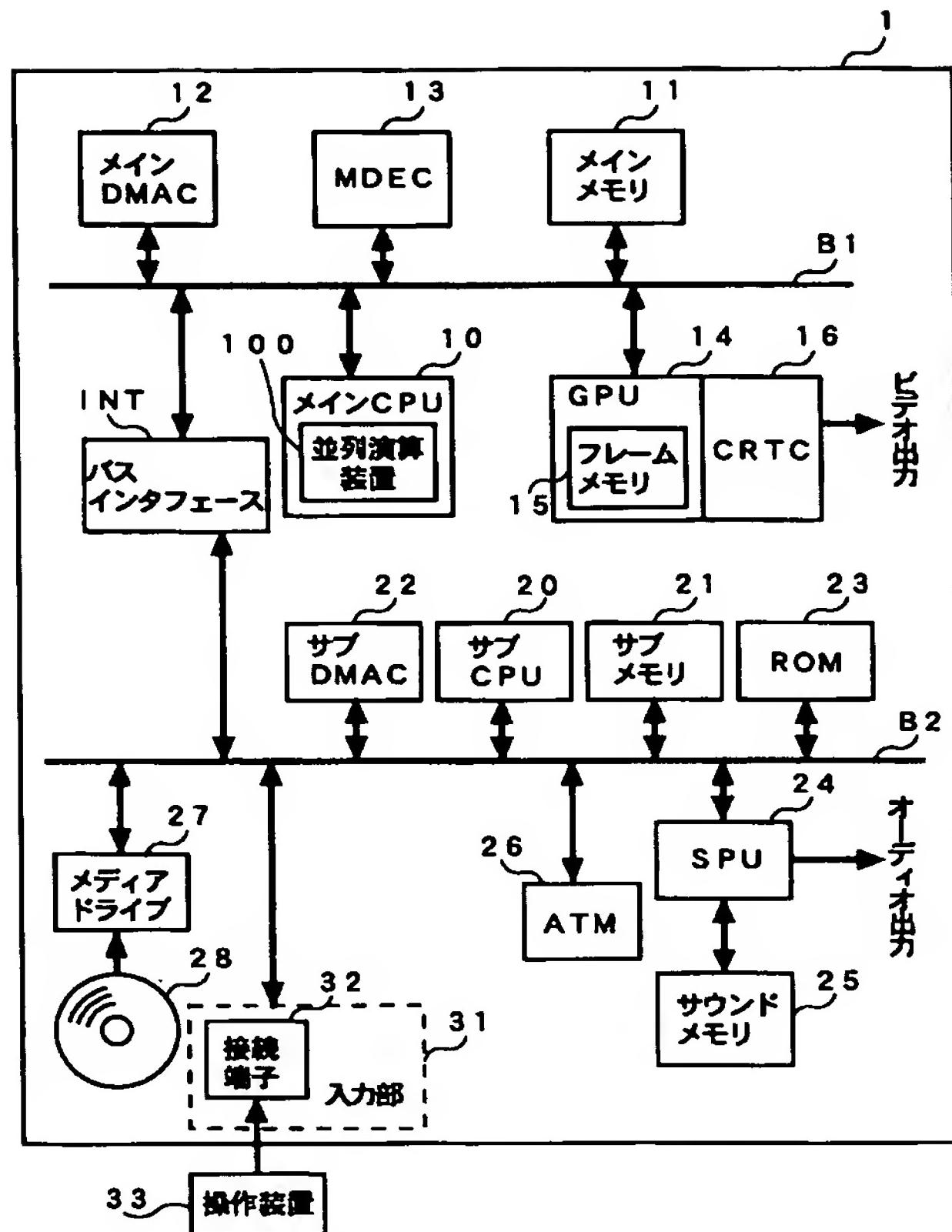
142 FADD

40 150 内部記憶装置

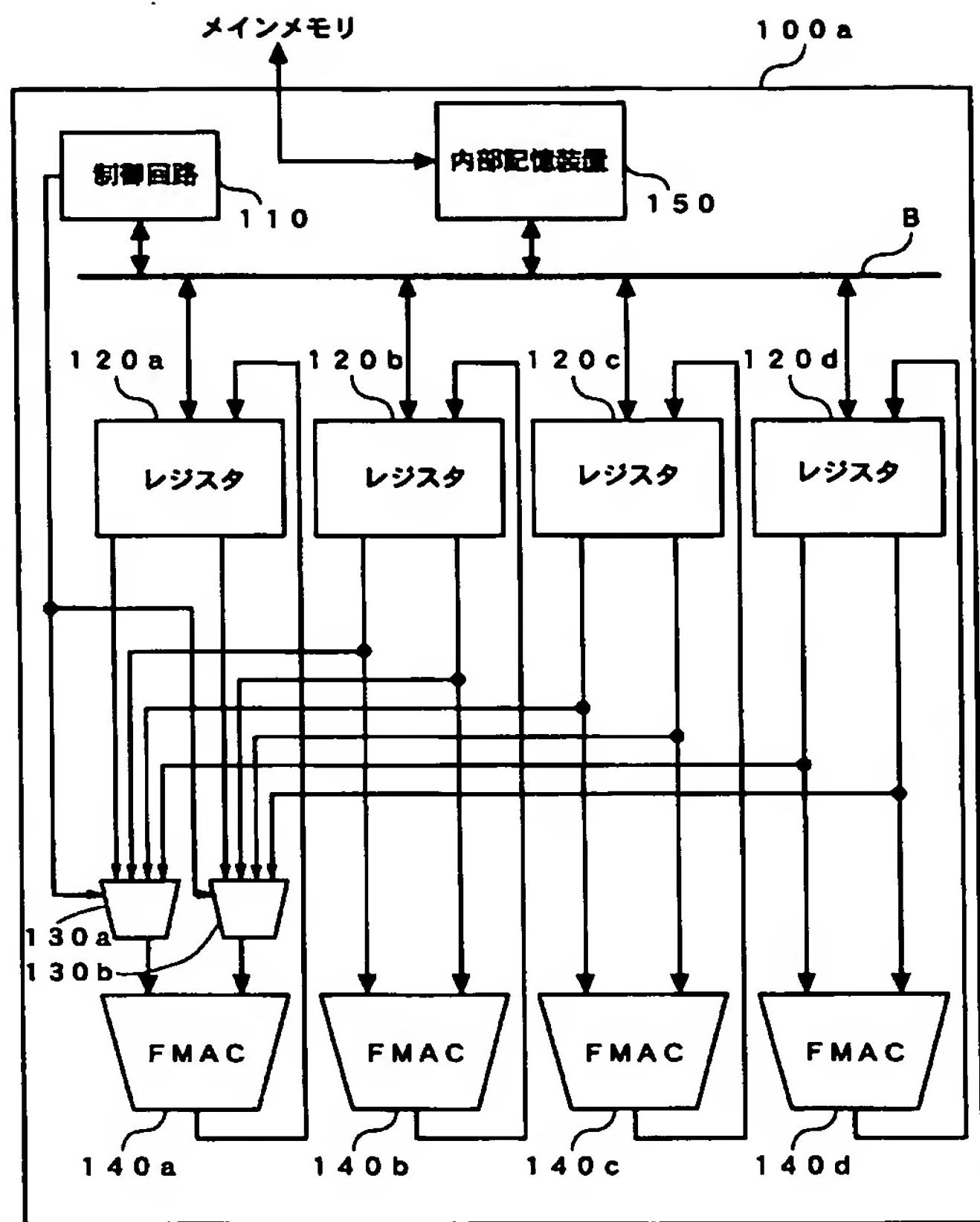
160b～160d テンポラリレジスタ

B 内部バス

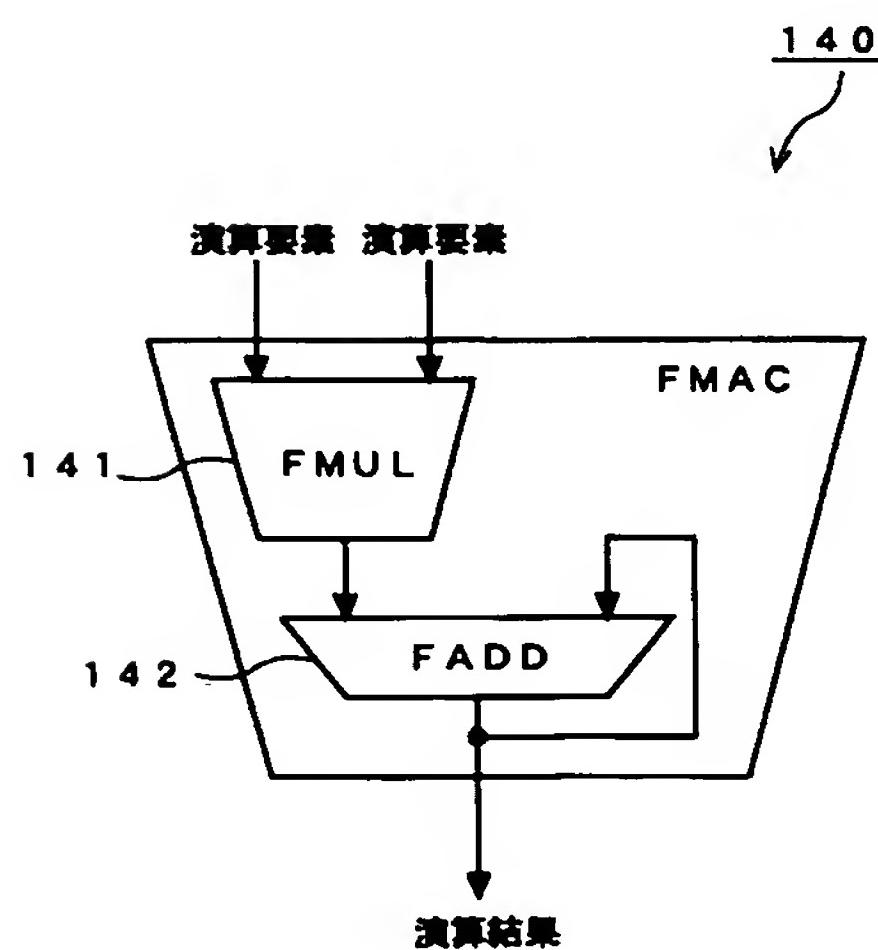
【図1】



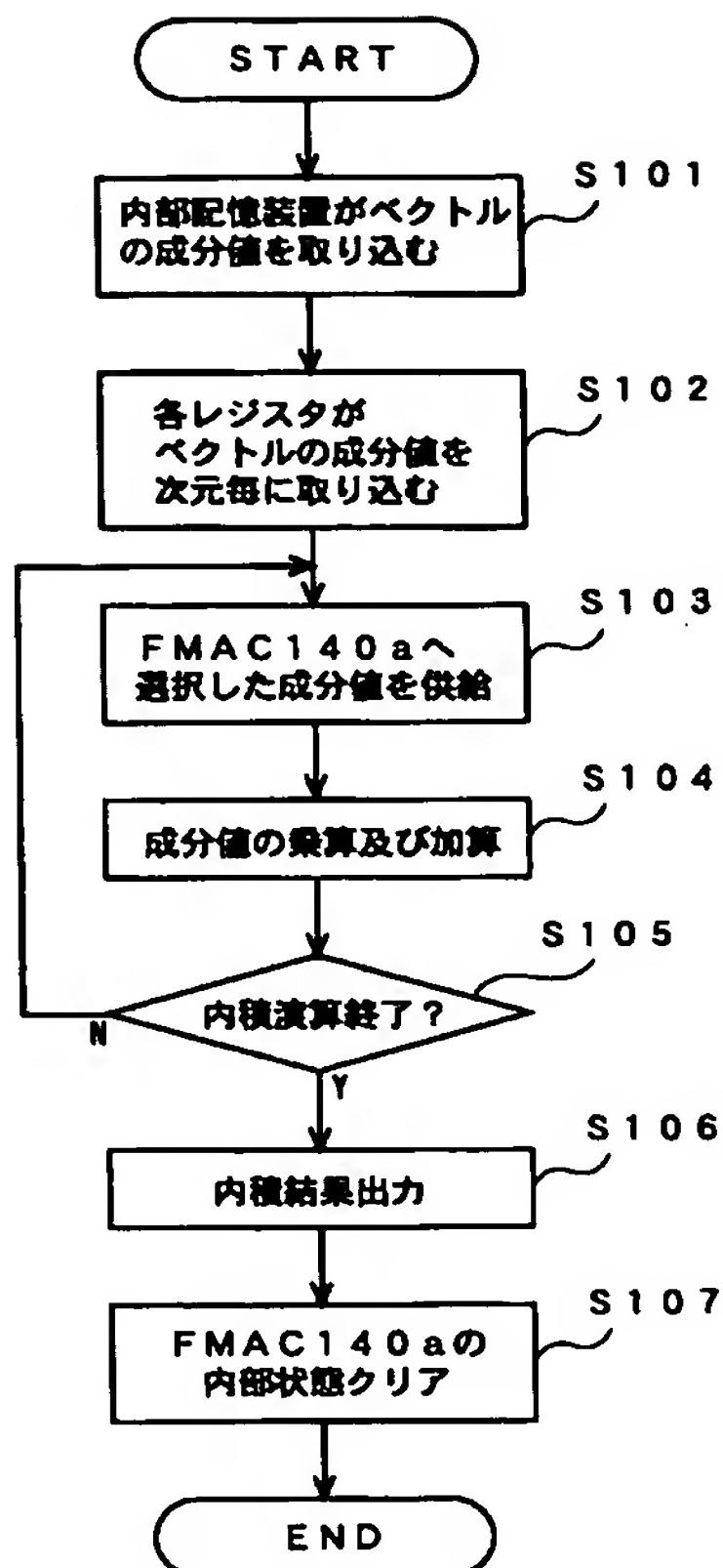
【図2】



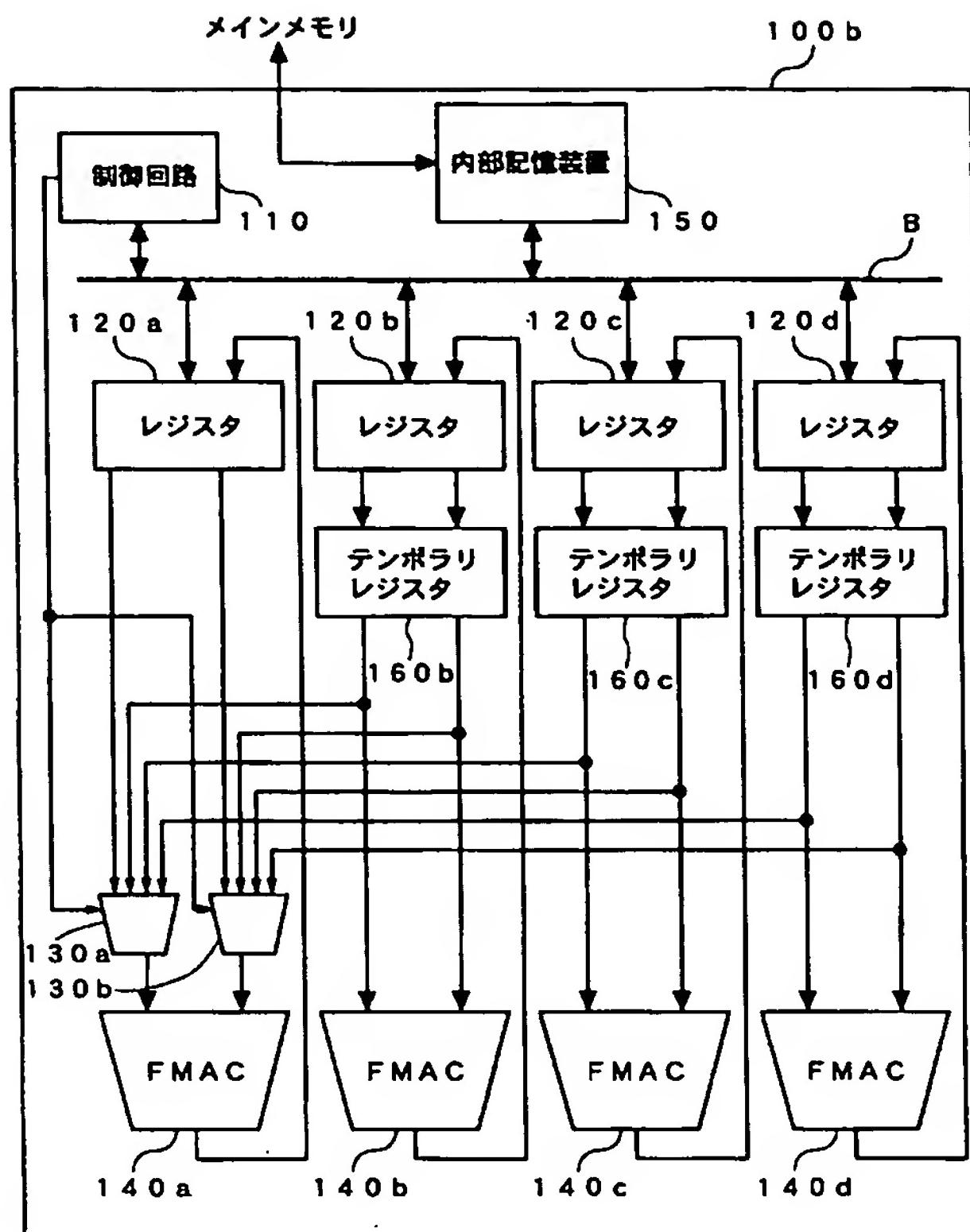
【図3】



【図4】



【図5】



フロントページの続き

(51) Int.C1.7

G 0 6 T 15/00

識別記号

1 0 0

F I

G 0 6 F 7/00

テーマコード(参考)

D 5 B 0 8 0

F ターム(参考) 5B013 DD01 DD04

5B022 AA02 CA01 CA03 DA02 FA01

5B045 AA01 GG08 GG11 GG14

5B056 AA04 BB31 BB71 CC01 FF01

FF02 HH03

5B057 CA08 CA13 CA16 CB08 CB13

CB16 CD01 CH02 CH09

5B080 BA04 BA08 CA03